

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0057192
Application Number

출원년월일 : 2002년 09월 19일
Date of Application SEP 19, 2002

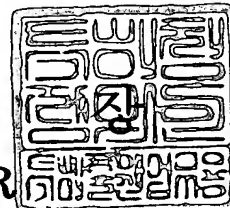
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.09.19
【발명의 명칭】	듀얼 다마신 공정
【발명의 영문명칭】	Dual damascene process
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박완재
【성명의 영문표기】	PARK, WAN JAE
【주민등록번호】	690625-2026112
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 롯데아파트 945동 313호
【국적】	KR
【발명자】	
【성명의 국문표기】	김일구
【성명의 영문표기】	KIM, IL G00
【주민등록번호】	660313-1852419
【우편번호】	463-030
【주소】	경기도 성남시 분당구 분당동 35 셋별마을 207-705
【국적】	KR

【발명자】

【성명의 국문표기】 하상록
【성명의 영문표기】 HAH, SANG ROK
【주민등록번호】 611114-1031525
【우편번호】 135-120
【주소】 서울특별시 강남구 신사동 566-33호 4층
【국적】 KR

【발명자】

【성명의 국문표기】 이경우
【성명의 영문표기】 LEE, KYOUNG WOO
【주민등록번호】 730807-1804827
【우편번호】 150-054
【주소】 서울특별시 영등포구 신길4동 삼성아파트 102동 202호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	1 면	1,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	14 항	557,000 원
【합계】		587,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

듀얼 다마신 공정을 제공한다. 이 방법은 금속충간절연막을 관통하는 제 1 리세스된 영역을 하부 보호막으로 채우고, 상기 하부 보호막과 상기 금속충간절연막을 동시에 식각하여 상기 제 1 리세스된 영역의 상부에 상기 제 1 리세스된 영역보다 깊이가 얇고 폭이 넓은 제 2 리세스된 영역을 형성하며, 상기 하부 보호막에 대해 상기 금속충간절연막의 식각 선택비가 0.5 내지 1.5의 값이 되는 식각 가스를 사용한다. 따라서, 부산물이나 산화물 기둥의 형성 없이 듀얼 다마신 구조를 형성할 수 있다.

【대표도】

도 3c

【색인어】

듀얼 다마신 구조, HSQ

【명세서】**【발명의 명칭】**

듀얼 다마신 공정{Dual damascene process}

【도면의 간단한 설명】

도 1은 종래 기술에 따라 형성된 듀얼 다마신 구조를 갖는 반도체 장치의 단면도를 나타낸다.

도 2a 내지 도 2c는 종래 기술에 따라 듀얼 다마신 구조를 형성하는 과정을 나타내는 공정 단면도들이다.

도 3a 내지 도 3f는 본 발명의 바람직한 실시예에 따라 듀얼 다마신 구조를 형성하는 과정을 나타내는 공정 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 제조 방법에 관한 것으로, 좀더 상세하게 듀얼 다마신 공정에 관한 것이다.

<5> 일반적으로 반도체 배선 형성시 널리 사용되는 금속으로는 텅스텐, 알루미늄, 및 구리등이 있다. 구리는 텅스텐과 알루미늄에 비하여 비저항이 작으며 신뢰성이 우수한 배선 재료이다. 따라서, 반도체 배선을 구리로 대체하려는 연구가 활발히 진행되고 있다

- <6> 한편, 구리는 텅스텐과 알루미늄과는 달리 건식 식각에 의한 배선 형성이 어려운 재료이다. 따라서, 건식 식각 공정을 거치지 않으면서 구리로 콘택플러그와 배선을 동시에 형성할 수 있는 방법에 관하여 활발히 연구되고 있으며, 이러한 공정을 듀얼 다마신(dual damascene) 공정이라고 한다. 듀얼 다마신 공정에서는 콘택홀과 배선을 동시에 형성하며, 층간 절연막에 콘택홀과 배선 형성 영역을 미리 형성하고, 구리를 적층한 후 CMP 공정으로 평탄화하여 완성한다.
- <7> 듀얼 다마신 공정을 위한 듀얼 다마신 구조를 형성하는 종래의 방법은 다음과 같다.
- <8> 도 1은 종래 기술에 따라 형성된 듀얼 다마신 구조를 갖는 반도체 장치의 단면도를 나타낸다.
- <9> 도 1의 듀얼 다마신 구조를 형성하는 방법은 다음과 같다. 먼저 반도체 기판(10) 상에 하부막(11)과 층간절연막(12)을 차례로 적층한 후, 상기 층간절연막(12)을 패터닝하고 하부배선(13)을 형성한다. 상기 하부배선(13)과 상기 층간절연막(12) 상의 전면에서 제 1 식각 저지막(15), 하부금속층간절연막(17), 제 2 식각 저지막(19), 상부 금속층간절연막(21)을 차례로 형성한다. 이때, 상기 제 1 및 제 2 식각 저지막(15, 19)들은 실리콘 질화막(Si_3N_4)등으로 형성할 수 있으며 상기 상부 및 하부 금속층간절연막들(21, 17)은 실리콘 산화막 계열의 막질로 형성할 수 있다. 포토레지스트 패턴을 이용하여 상기 상부금속층간절연막(21), 상기 제 2 식각저지막(19), 및 상기 하부금속층간절연막(17)을 차례로 패터닝하여 상기 제 1 식각저지막을 노출시키는 제 1 리세스된 영역(22)을 형성한다. 다른 포토레지스트

패턴을 이용하여 상기 상부금속층간절연막(21)을 식각하여 상기 제 2 식각 저지막(19)의 상부에 상기 제 1 리세스된 영역(22)보다 깊이가 얇고 폭이 넓은 제 2 리세스된 영역(23)을 형성하여 상기 제 2 식각 저지막의 일부를 노출시킨다. 이때, 식각 가스로 주로 불화탄소 계열의 가스를 사용한다. 그 후, 상기 노출된 제 2 식각 저지막을 패터닝함과 동시에 상기 제 1 리세스된 영역(22)을 형성하는 과정에서 노출된 상기 제 1 식각 저지막을 패터닝하여 상기 하부배선(13)을 노출시킨다.

<10> 상기 식각 과정들에서, 상기 제 1 식각 저지막(15)과 상기 상부금속층간절연막(21)은 종래의 식각 가스를 사용할 때 식각 선택비가 낮아, 제 2 리세스된 영역을 형성하기 위해 상기 상부금속층간절연막(21)을 식각할 때, 상기 제 1 식각 저지막(15)도 식각되고, 더 나아가 상기 하부배선(13)도 식각된다. 따라서, 상기 하부 배선(13)과 식각 가스와 반응하여 부산물(P)을 만들고, 상기 부산물(P)은 세정 공정에서도 잘 제거되지 않아 반도체 소자의 신뢰성을 감소시킨다.

<11> 도 2a 내지 도 2c는 다른 종래 기술에 따라 반도체 듀얼 다마신 구조를 형성하는 방법을 나타내는 공정단면도들이다.

<12> 도 2a를 참조하면, 도 1의 문제점을 해결하기 위하여, 상기 하부배선(13)과 상기 제 1 식각 저지막(15)을 보호하도록, 도 2a와 같이 제 1 리세스된 영역이 형성된 반도체 기판의 전면 상에 반사방지막(BARC, bottom anti-refractive coating, 25)을 콘포말하게 적층한다.

<13> 도 2b를 참조하면, 상기 반사방지막(25)이 적층된 반도체 기판 상에 포토레지스트 패턴(PR)을 형성한 후, 상기 포토레지스트 패턴(PR)을 이용하여, 상기 반사

방지막(25)을 에치백하여 상기 상부금속충간절연막(21)을 노출시킨다. 이때, 상기 에치백 공정으로 인해, 상기 포토레지스트 패턴(PR)의 하부에 제 1 반사방지막 패턴(25a)이 남으며 상기 제 1 리세스된 영역의 측벽과 저면을 덮도록 제 2 반사방지막 패턴(25b)이 남는다. 상기 제 2 반사방지막 패턴(25b)의 상단이 도 2b와 같이 상기 제 2 식각 저지막(19) 보다 높게 형성될 수 있다.

<14> 도 2c를 참조하면, 상기 포토레지스트 패턴(PR)을 이용하여, 상기 상부금속충간절연막(21)을 건식식각하여 제 2 식각 저지막(19)을 노출키며 상기 제 2 식각 저지막(19) 상에 상기 제 1 리세스된 영역(22)보다 깊이가 얇고 폭이 넓은 제 2 리세스된 영역(23)을 형성한다. 도 2b와 같이 상기 제 2 반사방지막 패턴(25b)의 상단이 상기 제 2 식각 저지막(19) 보다 높게 형성되었을 경우, 제 2 리세스된 영역(23)을 형성하기 위해 상기 상부금속충간절연막(21)이 건식식각되면서, 상기 제 2 반사방지막 패턴(25b)으로 인해 상기 제 2 식각 저지막 상에 산화물 기둥(fence, 21a)이 형성된다. 상기 산화물 기둥(21a)은 후속의 공정에서 여러 문제를 유발한다. 예를 들어 후속공정으로 장벽금속층을 형성할 경우 상기 산화물 기둥(21a)의 프로파일을 따라 증착하기가 어렵다. 따라서, 상기 산화물 기둥(21a)이 형성되지 않으면서, 하부배선(13)을 보호할 수 있는 듀얼 다마신 구조의 형성 방법이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<15> 따라서, 상기 문제를 해결하기 위하여, 본 발명의 기술적 과제는 산화물 기둥이 형성되지 않으며 하부배선을 보호할 수 있는 듀얼 다마신 구조의 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<16> 상기 기술적 과제를 달성하기 위하여, 본 발명은 금속충간절연막을 관통하는 제 1 리세스된 영역을 하부 보호막으로 채우고, 상기 하부 보호막과 상기 금속충간절연막을 동시에 식각하여 상기 제 1 리세스된 영역의 상부에 상기 제 1 리세스된 영역보다 깊이가 얇고 폭이 넓은 제 2 리세스된 영역을 형성하며, 상기 하부 보호막에 대해 상기 금속충간절연막의 식각 선택비가 0.5 내지 1.5의 값이 되는 식각 가스를 사용하여 상기 제 2 리세스된 영역을 형성하는 것을 특징으로 한다.

<17> 좀 더 구체적으로, 본 발명에 따른 듀얼 다마신 공정은 다음과 같다. 먼저, 하부 배선을 갖는 반도체 기판의 전면 상에 제 1 식각 저지막, 하부 금속충간절연막, 제 2 식각 저지막, 및 상부 금속충간절연막을 차례로 형성한다. 상기 상부 금속충간절연막, 상기 제 2 식각저지막, 및 상기 하부 금속충간 절연막을 제 1 식각 공정을 사용하여 연속적으로 패터닝하여 상기 제 1 식각저지막의 소정영역을 노출시키는 제 1 리세스된 영역을 형성한다. 상기 제 1 리세스된 영역의 내부 및 상기 상부 금속충간 절연막 상에 평탄화된 표면을 갖는 하부 보호막을 형성한다. 상기 하부 보호막 및 상기 상부금속충간절연막을 제 2 식각 공정을 사용하여 연속적으로 패터닝하여 상기 제 1 리세스된 영역과 중첩되고 상기 제 1 리세스된 영역보다 넓은 폭을 갖는 제 2 리세스된 영역을 형성하되, 상기 제 2 식각 공정은 상기 상부 금속충간절연막의 식각 선택비가 상기 하부 보호막에 대하여 0.5 내지 1.5인 식각가스를 사용하여 실시하여 상기 제 1 리세스된 영역의 바닥 상에 하부 보호막 패턴을 남긴다. 상기 하부 보호막 패턴을 선택적으로 제거하여 상기 제 1 식각 저지막의 상기 소정영역을 노출시킨다. 적어도 상기 제 1 리세스된 영역에 의해 노출된 상기 제 1 식각 저지막을 제거하여 상기 하부배선을 노출시킨다.

- <18> 상기 방법에 있어서, 상기 하부 및 상부 금속 층간 절연막들은 바람직하게는 실리콘옥시카바이드(Silicon Oxycarbide, SiOC:H)로 이루어진다. 상기 하부 보호막은 바람직하게는 HSQ(Hydrogen Silsesquioxane)로 이루어진다.
- <19> 상기 방법에 있어서, 상기 제 2 식각 공정은 고비불화탄소(C_VF_W)와 저비불화탄소(C_XF_Y)의 혼합 가스를 사용하여 진행될 수 있다. 이때, 상기 고비불화탄소의 화학 구조식 C_VF_W 에 있어서, V/W 가 0.5이상이며, 바람직하게 상기 고비불화탄소는 C_4F_6 , C_5F_8 , 및 C_4F_8 으로 이루어지는 그룹에서 선택되는 하나의 화합물이다. 상기 저비불화탄소의 화학 구조식 C_XF_Y 에 있어서, X/Y 가 0.4이하이며, 바람직하게 상기 저비불화탄소는 CF_4 및 C_2F_6 으로 이루어지는 그룹에서 선택되는 하나의 화합물이다. 상기 저비불화탄소(C_XF_Y)에 대한 상기 고비불화탄소(C_VF_W)의 가스 유량비는 바람직하게 0.5 내지 1.5이다.
- <20> 상기 방법에 있어서, 상기 제 2 식각 공정은 고비불화탄소(C_VF_W)와 불화수소탄소(CH_TF_U)의 혼합 가스를 사용하여 진행될 수 있다. 이때, 상기 고비불화탄소의 화학 구조식 C_VF_W 에 있어서, V/W 가 0.5이상이며, 바람직하게 상기 고비불화탄소는 C_4F_6 , C_5F_8 , 및 C_4F_8 으로 이루어지는 그룹에서 선택되는 하나의 화합물이다. 상기 불화수소탄소 바람직하게 CH_3F , CH_2F_2 , 및 CHF_3 으로 이루어지는 그룹에서 선택되는 하나의 화합물이다. 상기 고비불화탄소(C_VF_W)에 대한 상기 불화수소탄소(CH_TF_U)의 가스 유량비는 바람직하게 0.5 내지 1.5이다.
- <21> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질

수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제 공되어지는 것이다. 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<22> 도 3a 내지 도 3f는 본 발명의 바람직한 실시예에 따라 듀얼 다마신 구조를 형성하는 방법을 나타내는 공정 단면도들이다.

<23> 도 3a를 참조하면, 반도체 기판(100) 상에 하부막(110)과 층간절연막(120)을 차례로 적층한다. 상기 하부막(110)과 상기 층간절연막(120)은 실리콘 산화막 계열의 막으로 이루어질 수 있다. 상기 층간 절연막을 패터닝하여 트렌치를 형성하고 상기 트렌치가 형성된 상기 반도체 기판(100)의 전면 상에 도전막을 적층하여 상기 트렌치 안을 채운다. 상기 도전막은 구리, 알루미늄 또는 텅스텐으로 형성할 수 있다. 상기 도전막이 형성된 상기 반도체 기판(100) 상에 대해 CMP 공정을 실시하여 상기 층간 절연막(120)을 노출시키고 상기 트렌치 안에만 도전막을 남겨 하부배선(130)을 형성한다. 상기 하부배선(130)이 형성된 상기 반도체 기판(100)에 제 1 식각 저지막(150), 하부금속층간절연막(170), 제 2 식각 저지막(190), 및 상부금속층간절연막(210)을 차례로 적층한다. 상기 상부금속층간절연막(210) 상에 제 1 포토레지스트 패턴(PR1)을 형성한다. 상기 제 1 및 제 2 식각 저지막들(150, 190)은 실리콘 탄화막(SiC) 또는 실리콘 질화막(Si₃N₄)으로 이루어질 수 있다. 상기 하부 및 상부 금속층간절연막들(170, 210)은 유전율이 낮은 물질

로, 바람직하게는 실리콘옥시카바이드(Silicon oxycarbide, SiOC:H)으로 이루어질 수 있다.

- <24> 도 3b를 참조하면, 상기 제 1 포토레지스트 패턴(PR 1)을 사용하여 상기 상부금속층간절연막(210), 상기 제 2 식각저지막(190) 및 상기 하부금속층간절연막(170)을 차례로 패터닝하는 제 1 식각 공정을 진행하여, 상기 제 1 식각 저지막(190)을 노출시키는 제 1 리세스된 영역(220)을 형성한다. 상기 제 1 리세스된 영역(220)은 콘택홀이나 비아홀일 수 있다. 상기 제 1 포토레지스트 패턴(PR1)을 제거한다.
- <25> 도 3c를 참조하면, 상기 제 1 리세스된 영역(220)이 형성된 상기 반도체 기판(100)의 전면 상에 하부 보호막(250)을 형성하여 상기 제 1 리세스된 영역(220)을 채운다. 이때, 상기 하부 보호막(250)은 산화물 계열의 막으로, 바람직하게는 HSQ(Hydrogen Silsesquioxane)으로 이루어질 수 있다. 상기 하부 보호막(250)을 CMP 공정으로 평탄화하여 상기 상부금속층간절연막(210) 상에 상기 하부 보호막(250)이 소정의 두께를 갖도록 한다. 상기 평탄화된 상기 하부 보호막(250) 상에 제 2 포토레지스트 패턴(PR2)을 형성한다.
- <26> 도 3d를 참조하면, 상기 제 2 포토레지스트 패턴(PR2)을 사용하여 상기 하부 보호막(250)과 상기 상부 금속층간절연막(210)을 동시에 패터닝하는 제 2 식각 공정을 실시한다. 이때, 상기 제 2 식각 공정은 인시튜(in-situ) 방식으로 진행되며, 상기 하부 보호막(250)이 상기 제 2 식각 저지막(190)의 높이보다 낮아질 때 정지된다. 상기 제 2 식각 저지막(190)은 상기 하부금속층간절연막(170)을 보호한다. 상기 제 2 식각 공정으로 상기 제 2 식각 저지막(190)의 상부에 상기 제 1 리세스된 영역(220)보다 깊이가 낮고 폭이 넓은 제 2 리세스된 영역(230)이 형성된다. 상기 제 2 리세스된 영역(230)은 주로

배선이 형성될 그루브(groove)의 형태를 갖는다. 상기 제 2 포토레지스트 패턴(PR2)의 하부와 상기 제 1 리세스된 영역(220)의 하부에 각각 제 1 하부 보호막 패턴(250a)과 제 2 하부 보호막 패턴(250b)이 남는다.

<27> 상기 제 2 식각 공정에 있어서, 만약 상기 상부 금속충간절연막(210)에 비해 상기 하부 보호막(250)이 매우 빠른 식각율을 갖는다면, 종래기술에서처럼, 상기 제 1 식각 저지막(150)도 패터닝되어 상기 하부배선(130)이 손상될 수 있다. 만약 매우 느린 식각율을 갖는다면, 다른 종래기술에서처럼 상기 하부 보호막(250)의 측벽을 덮는 산화물 기둥이 형성될 수 있다. 따라서, 식각 가스를 조절하여 상기 하부 보호막(250)에 대해 상기 상부 금속충간 절연막(210)이 0.5 내지 1.5의 식각 선택비를 갖도록 한다. 상기 하부 보호막(250)과 상기 제 2 식각 저지막(190)은 적어도 10:1의 식각 선택비를 갖도록 한다. 이를 위해, 상기 식각 가스로 고비불화탄소(C_VF_W)와 저비불화탄소(C_XF_Y)의 혼합 가스를 사용할 수 있다. 이때, 상기 고비불화탄소의 화학 구조식 C_VF_W 에 있어서, V/W 가 0.5 이상이며, 바람직하게 상기 고비불화탄소는 C_4F_6 , C_5F_8 , 및 C_4F_8 으로 이루어지는 그룹에서 선택되는 하나의 화합물이다. 상기 저비불화탄소의 화학 구조식 C_XF_Y 에 있어서, X/Y 가 0.4이하이며, 바람직하게 상기 저비불화탄소는 CF_4 및 C_2F_6 으로 이루어지는 그룹에서 선택되는 하나의 화합물이다. 상기 식각 가스로 상기 고비불화탄소(C_VF_W)와 상기 저비불화탄소(C_XF_Y)의 혼합 가스를 사용할 시, 상기 저비불화탄소(C_XF_Y)에 대한 상기 고비불화탄소(C_VF_W)의 가스 유량비는 바람직하게 0.5 내지 1.5이다. 상기 제 2 식각 공정은 상기 식각 가스로 고비불화탄소(C_VF_W)와 불화수소탄소(CH_TF_U)의 혼합 가스를 사용할 수 있다. 이때, 상기 불화수소탄소는 바람직하게 CH_3F , CH_2F_2 , 및 CHF_3 으로 이루어지는 그룹에서 선택되는 하나의 화합물이다. 상기 식각 가스로 고비불화탄소(C_VF_W)와 불화수소탄소(CH_T

F_U)의 혼합 가스를 사용할 때, 상기 고비불화탄소(C_vF_w)에 대한 상기 불화수소탄소(CH_TF_U)의 가스 유량비는 바람직하게 0.5 내지 1.5이다.

<28> 도 3e를 참조하면, 상기 제 2 포토레지스트 패턴(PR2)을 제거한다. 상기 하부 보호막 패턴들(250a, 250b)을 습식식각으로 제거하며 이때, 불산(HF) 용액을 사용할 수 있다.

<29> 도 3f를 참조하면, 상기 상부금속충간절연막(210)을 식각 마스크로 사용하여 상기 노출된 제 2 식각 저지막(190)을 제거한다. 이때, 상기 제 1 리세스된 영역(220)의 하부에 노출된 상기 제 1 식각 저지막(150)도 동시에 제거되며 상기 하부배선(130)이 노출되어 상기 제 1 리세스된 영역(220)과 제 2 리세스된 영역(230)을 구비하는 듀얼 다마신 콘택홀을 완성한다.

<30> 후속공정으로 상기 듀얼 다마신 콘택홀이 상기 반도체 기판(100)의 전면 상에 장벽 금속층과 구리막을 차례로 적층한 후, CMP 공정으로 평탄화하여, 듀얼 다마신 구조의 구리 배선을 완성한다.

【발명의 효과】

<31> 따라서, 본 발명의 듀얼 다마신 공정에 따르면, 금속충간절연막을 관통하는 제 1 리세스된 영역을 하부 보호막으로 채우고, 상기 하부 보호막과 상기 금속충간절연막을 동시에 식각하여 상기 제 1 리세스된 영역의 상부에 상기 제 1 리세스된 영역보다 깊이가 얇고 폭이 넓은 제 2 리세스된 영역을 형성하며, 상기 하부 보호막에 대해 상기 금속충간절연막의 식각 선택비가 0.5 내지 1.5의 값이 되는 식각 가스를 사용하여 부산물이나 산화물 기둥의 형성이 없이 듀얼 다마신 구조를 형성할 수 있다.

【특허청구범위】**【청구항 1】**

하부 배선을 갖는 반도체 기판의 전면 상에 제 1 식각 저지막, 하부 금속층간절연막, 제 2 식각 저지막, 및 상부 금속층간절연막을 차례로 형성하고,

상기 상부 금속층간절연막, 상기 제 2 식각저지막, 및 상기 하부 금속층간 절연막을 제 1 식각 공정을 사용하여 연속적으로 패터닝하여 상기 제 1 식각저지막의 소정영역을 노출시키는 제 1 리세스된 영역을 형성하고,

상기 제 1 리세스된 영역의 내부 및 상기 상부 금속층간 절연막 상에 평탄화된 표면을 갖는 하부 보호막을 형성하고,

상기 하부 보호막 및 상기 상부금속층간절연막을 제 2 식각 공정을 사용하여 연속적으로 패터닝하여 상기 제 1 리세스된 영역과 중첩되고 상기 제 1 리세스된 영역보다 넓은 폭을 갖는 제 2 리세스된 영역을 형성하되, 상기 제 2 식각 공정은 상기 상부 금속층간절연막의 식각 선택비가 상기 하부 보호막에 대하여 0.5 내지 1.5인 식각가스를 사용하여 실시하여 상기 제 1 리세스된 영역의 바닥 상에 하부 보호막 패턴을 남기고,

상기 하부 보호막 패턴을 선택적으로 제거하여 상기 제 1 식각 저지막의 상기 소정영역을 노출시키고,

적어도 상기 제 1 리세스된 영역에 의해 노출된 상기 제 1 식각 저지막을 제거하여 상기 하부배선을 노출시키는 것을 포함하는 듀얼 다마신 공정.

【청구항 2】

제 1 항에 있어서,

상기 상부 및 하부 금속 층간 절연막들은 실리콘옥시카바이드(Silicon Oxycarbide, SiOC:H)로 이루어지는 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 3】

제 1 항에 있어서,

상기 하부 보호막은 HSQ(Hydrogen Silsesquioxane)로 이루어지는 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 4】

제 1 항에 있어서,

상기 제 2 식각 공정은 고비불화탄소(C_VF_W)와 저비불화탄소(C_XF_Y)의 혼합 가스를 식각 가스로 사용하여 진행되는 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 5】

제 4 항에 있어서,

상기 고비불화탄소의 화학 구조식 C_VF_W 에 있어서, V/W 가 0.5이상인 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 6】

제 5 항에 있어서,

상기 고비불화탄소는 C_4F_6 , C_5F_8 , 및 C_4F_8 으로 이루어지는 그룹에서 선택되는 하나의 화합물인 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 7】

제 4 항에 있어서,

상기 저비불화탄소의 화학 구조식 C_XF_Y 에 있어서, X/Y 가 0.4이하인 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 8】

제 7 항에 있어서,

상기 저비불화탄소는 CF_4 및 C_2F_6 으로 이루어지는 그룹에서 선택되는 하나의 화합물인 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 9】

제 4 항에 있어서,

상기 저비불화탄소(C_XF_Y)에 대한 상기 고비불화탄소(C_VF_W)의 가스 유량비가 0.5 내지 1.5인 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 10】

제 1 항에 있어서,

상기 제 2 식각 공정은 고비불화탄소(C_VF_W)와 불화수소탄소(CH_TF_U)의 혼합 가스를 식각가스로 사용하여 진행되는 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 11】

제 10 항에 있어서,

상기 고비불화탄소의 화학 구조식 C_VF_W 에 있어서, V/W 가 0.5이상인 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 12】

제 11 항에 있어서,

상기 고비불화탄소는 C_4F_6 , C_5F_8 , 및 C_4F_8 으로 이루어지는 그룹에서 선택되는 하나의 화합물인 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 13】

제 10 항에 있어서,

상기 불화수소탄소 CH_3F , CH_2F_2 , 및 CHF_3 으로 이루어지는 그룹에서 선택되는 하나의 화합물인 것을 특징으로 하는 듀얼 다마신 공정.

【청구항 14】

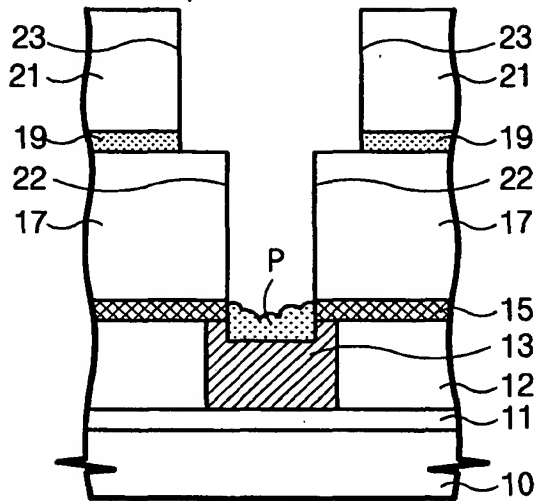
제 10 항에 있어서,

상기 고비불화탄소(C_VF_W)에 대한 상기 불화수소탄소(CH_TF_U)의 가스 유량비가 0.5 내지 1.5인 것을 특징으로 하는 듀얼 다마신 공정.

【도면】

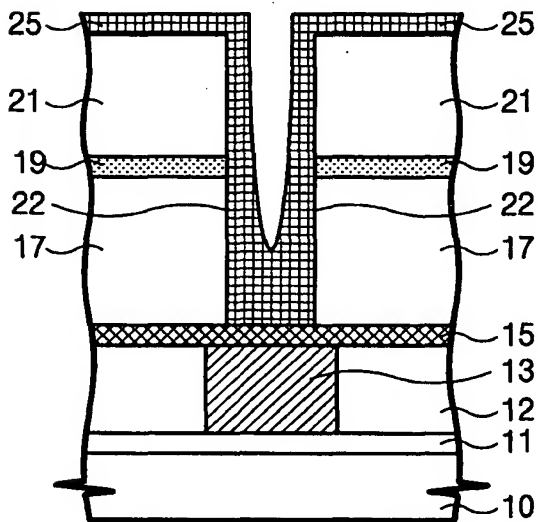
【도 1】

(종래 기술)



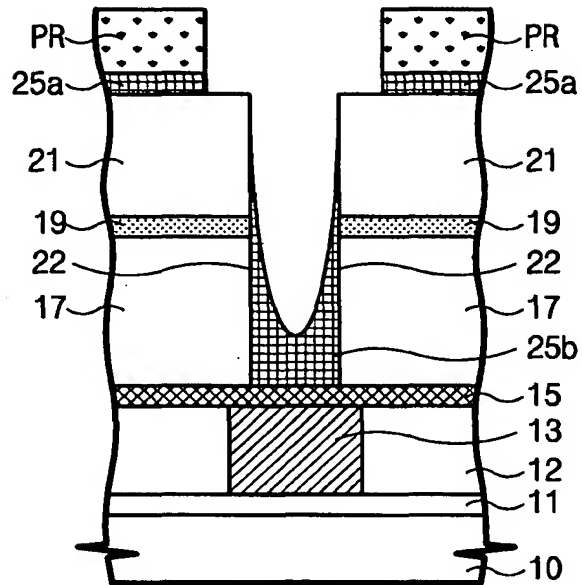
【도 2a】

(종래 기술)



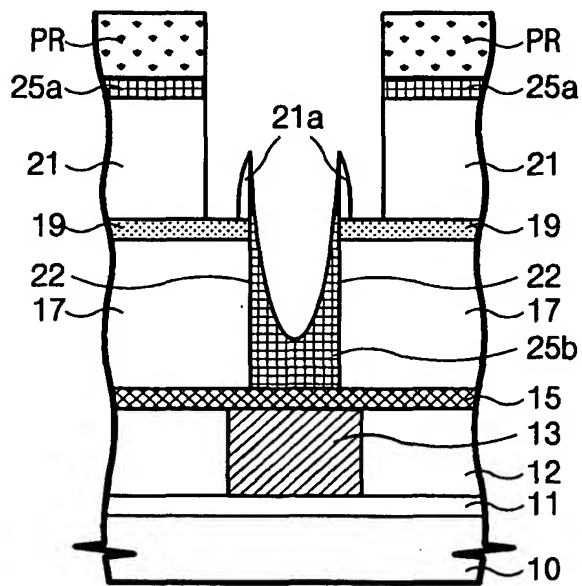
【도 2b】

(종래 기술)

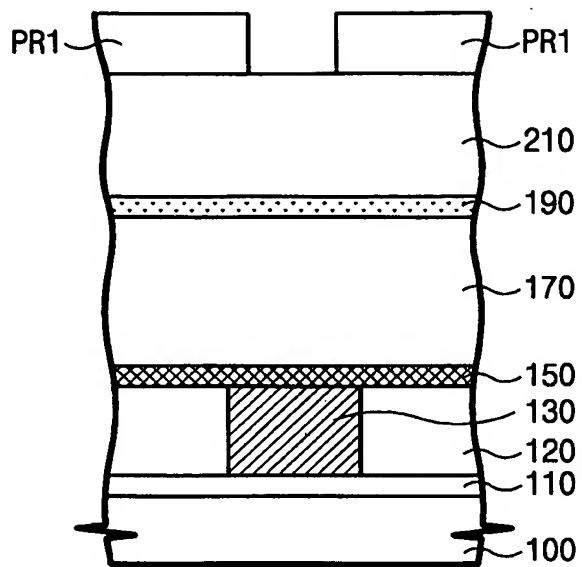


【도 2c】

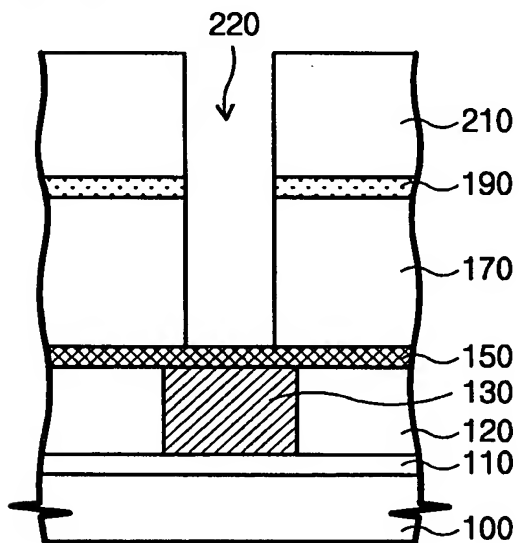
(종래 기술)



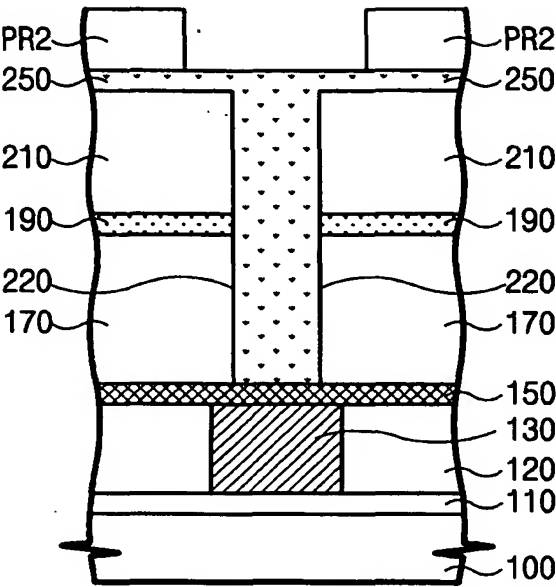
【도 3a】



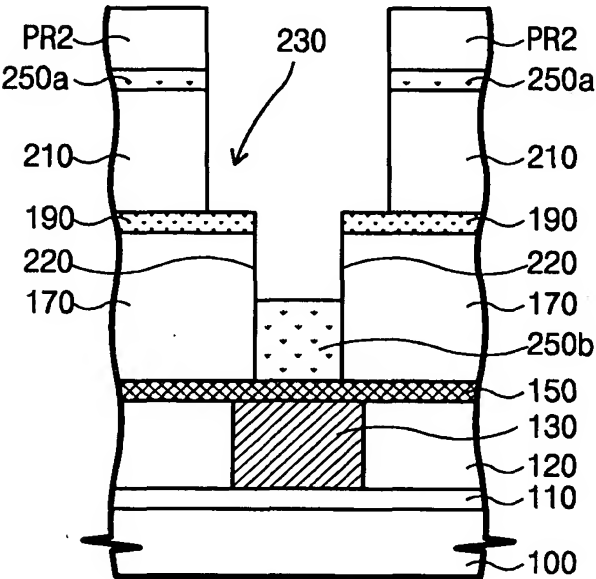
【도 3b】



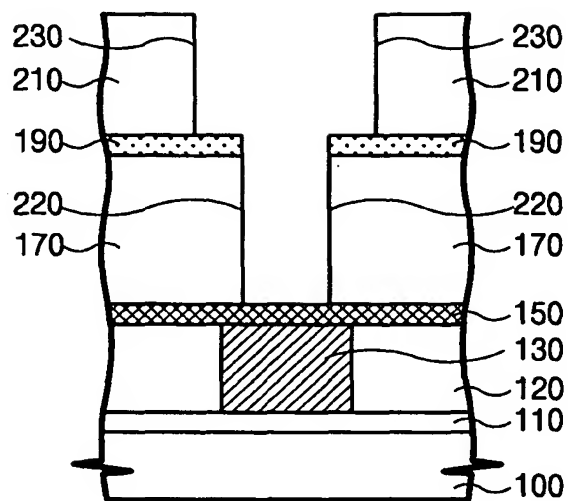
【도 3c】



【도 3d】



【도 3e】



【도 3f】

